

**Method for fabricating capacitor of semiconductor device using hemispherical grain (HSG) polysilicon**

Patent Number: ☐ US5817555  
Publication date: 1998-10-06  
Inventor(s): CHO BOK-WON (KR)  
Applicant(s): LG SEMICON CO LTD (KR)  
Requested Patent: ☐ JP9307080  
Application Number: US19970850821 19970502  
Priority Number(s): KR19960014165 19960502  
IPC Classification: H01L21/8242  
EC Classification: H01L27/108F2M, H01L21/02B3C2, H01L21/8242B2  
Equivalents: JP2920119B2, KR195329

---

**Abstract**

---

A method for fabricating a capacitor of a semiconductor device, including the steps of: sequentially forming first and second insulating layers on a substrate; selectively etching the second insulating layer to form a first contact; forming a third insulating layer on the second insulating layer including the first contact; etching the third insulating layer placed on a capacitor region including the first contact, to expose the first contact, the first contact including the second insulating layer on the capacitor region; etching the first insulating layer placed in the first contact; forming a first conductive layer on the capacitor region and third insulating layer; forming a temporary layer on the first conductive layer placed on the capacitor region; etching the first conductive layer placed on the third insulating layer using the temporary layer as a mask; removing the temporary layer, and forming a dielectric layer on the surface of the first conductive layer; and forming a second conductive layer on the dielectric layer.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-307080

(43)公開日 平成9年(1997)11月28日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 2 1 C
21/8242			21/28	3 0 1 A
21/28	3 0 1		21/90	D
21/768			27/04	C
27/04				

審査請求 有 請求項の数11 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願平9-19369

(22)出願日 平成9年(1997)1月31日

(31)優先権主張番号 1 9 9 6 P - 1 4 1 6 5

(32)優先日 1996年5月2日

(33)優先権主張国 韓国 (K R)

(71)出願人 595084025  
エルジイ・セミコン・カンパニー・リミテッド  
大韓民国 360-480 チュングチェオンブグード チェオンジューシ ヒュングドゥククグ ヒャンギエオンードン 1

(72)発明者 ボクーウォン チョー  
大韓民国 チュングチェオンブグード チェオンジューシ ヒュングドゥククグ ビハードン 270-1 ウージン ビラ B-302

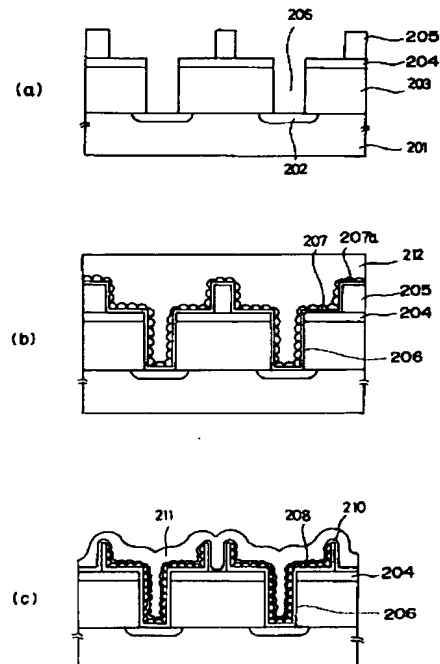
(74)代理人 弁理士 萩原 誠

(54)【発明の名称】 半導体素子のキャパシタ製造方法

(57)【要約】

【課題】 表面段差の軽減、容量増大を図り、漏洩電流も少なく、かつ精度の向上、工程の簡素化を図れる半導体素子のキャパシタ製造方法を提供すること。

【解決手段】 基板201上に第1、第2絶縁膜203、204を形成し、コンタクト領域の第2絶縁膜204を除去し、全面に第3絶縁膜205を形成し、キャパシタ領域の第3絶縁膜205を除去し、露出した第2絶縁膜204をマスクとして第1絶縁膜203にコンタクトホール206を形成し、全内壁および第3絶縁膜205の表面に導電層207を形成し、さらに平坦化層212を形成し、平坦化層212を第3絶縁膜205の表面まで削り出し、同時に導電層207を第3絶縁膜205の表面から除去して、第3絶縁膜205の除去部内壁およびコンタクトホール206に段付き2重シリンダ形状に貯蔵電極208を形成する。その後、残存平坦化層212と残存第3絶縁膜205を湿式食刻で除去する。



## 【特許請求の範囲】

【請求項1】 基板上に第1絶縁膜と第2絶縁膜を順次に形成する工程と、  
コンタクト領域の前記第2絶縁膜を選択的に除去する工程と、  
前記第2絶縁膜の除去部と前記第2絶縁膜上に第3絶縁膜を形成する工程と、  
前記コンタクト領域を含むキャパシタ領域の前記第3絶縁膜を除去する工程と、  
前記第3絶縁膜の除去部内の露出した前記第2絶縁膜をマスクとして前記コンタクト領域の前記第1絶縁膜を除去し、コンタクトホールを形成する工程と、  
前記第2、第3絶縁膜の除去部の内壁と前記コンタクトホールの内壁さらには第3絶縁膜の表面に導電層を形成する工程と、  
キャパシタ領域の前記導電層上に臨時層を形成する工程と、  
前記臨時層をマスクとして使用して、前記第3絶縁膜表面から前記導電層を除去し、残存導電層でキャパシタの貯蔵電極を形成する工程と、  
前記臨時層および残存第3絶縁膜を除去した後、露出した前記貯蔵電極の表面にキャパシタ誘電体膜を形成する工程と、  
前記誘電体膜上にキャパシタのプレート電極を形成する工程とを具備してなる半導体素子のキャパシタ製造方法。

【請求項2】 請求項1記載の半導体素子のキャパシタ製造方法において、前記第1絶縁膜と第3絶縁膜は食刻速度が類似した物質を使用し、  
前記第1絶縁膜と第2絶縁膜は互いに食刻速度が異なる物質を使用することを特徴とする半導体素子のキャパシタ製造方法。

【請求項3】 請求項1記載の半導体素子のキャパシタ製造方法において、前記第1絶縁膜と第3絶縁膜は同一の物質を使用し、  
前記第1絶縁膜と第2絶縁膜は互いに食刻速度が異なる物質を使用することを特徴とする半導体素子のキャパシタ製造方法。

【請求項4】 請求項2記載の半導体素子のキャパシタ製造方法において、前記第1絶縁膜としては平坦化特性を有する酸化膜を使用し、  
前記第2絶縁膜としては窒化膜を使用し、  
前記第3絶縁膜としてはCVD酸化膜を使用することを特徴とする半導体素子のキャパシタ製造方法。

【請求項5】 請求項1記載の半導体素子のキャパシタ製造方法において、臨時層をマスクとして使用して第3絶縁膜の表面から導電層を除去する工程は、CMP方法で表面を平坦化しながら、第3絶縁膜の表面から導電層を除去することを特徴とする半導体素子のキャパシタ製造方法。

【請求項6】 請求項1記載の半導体素子のキャパシタ製造方法において、臨時層および残存第3絶縁膜を除去する工程は湿式食刻方法を利用することを特徴とする半導体素子のキャパシタ製造方法。

【請求項7】 キャパシタと接続される不純物拡散領域が形成された基板上に第1絶縁膜と第2絶縁膜を順次に形成した後、コンタクト領域の前記第2絶縁膜を選択的に除去する工程と、

前記第2絶縁膜の除去部と前記第2絶縁膜上に第3絶縁膜を形成した後、前記コンタクト領域を含むキャパシタ領域の第3絶縁膜を除去し、隣接するキャパシタ領域間にのみ第3絶縁膜が残るように第3絶縁膜をパターニングし、次いで第3絶縁膜の除去部内の露出した前記第2絶縁膜をマスクとして前記コンタクト領域の前記第1絶縁膜を除去し、コンタクトホールを形成する工程と、  
前記第2、第3絶縁膜の除去部の内壁と前記コンタクトホールの内壁さらには第3絶縁膜の表面に導電層を形成した後、全面に平坦化層を形成して前記第3絶縁膜の高さ以上で平坦化させた後、CMP方法によって平坦化層を削り出して第3絶縁膜の表面から前記導電層を除去し、残存導電層でキャパシタの貯蔵電極を形成する工程と、

残存している前記平坦化層と第3絶縁膜を湿式食刻で除去した後、露出した前記貯蔵電極の表面にキャパシタ誘電体膜を形成し、さらに誘電体膜上にキャパシタのプレート電極を形成する工程とを具備してなる半導体素子のキャパシタ製造方法。

【請求項8】 請求項7記載の半導体素子のキャパシタ製造方法において、前記導電層は、表面に半球形のポリシリコンを形成して表面積が増大されていることを特徴とする半導体素子のキャパシタ製造方法。

【請求項9】 半導体基板にトランジスタを形成した後、半導体基板の全面を第1絶縁膜で覆い、その上に、前記トランジスタのソース/ドレイン領域に接続されるビットラインを形成した後、全面に第2絶縁膜を形成し、コンタクト領域の前記第2絶縁膜を選択的に除去する工程と、

前記第2絶縁膜の除去部と前記第2絶縁膜上に第3絶縁膜を形成した後、前記コンタクト領域を含むキャパシタ領域の第3絶縁膜を除去し、隣接するキャパシタ領域間にのみ第3絶縁膜が残るように第3絶縁膜をパターニングし、次いで第3絶縁膜の除去部内の露出した前記第2絶縁膜をマスクとして前記コンタクト領域の前記第1絶縁膜を除去して、コンタクトホールを形成する工程と、  
前記第2、第3絶縁膜の除去部の内壁と前記コンタクトホールの内壁さらには第3絶縁膜の表面に導電層を形成した後、全面に平坦化層を形成して前記第3絶縁膜の高さ以上で平坦化させた後、平坦化層を削り出して第3絶縁膜表面から前記導電層を除去し、残存導電層でキャパシタの貯蔵電極を形成する工程と、

残存している前記平坦化層と第3絶縁膜を湿式食刻で除去した後、露出した前記貯蔵電極の表面にキャパシタ誘電体膜を形成し、さらに誘電体膜上にキャパシタのプレート電極を形成する工程とを具備してなる半導体素子のキャパシタ製造方法。

【請求項10】 請求項9記載の半導体素子のキャパシタ製造方法において、前記第1絶縁膜と第3絶縁膜は食刻速度が類似した物質を使用し、

前記第1絶縁膜と第2絶縁膜は互いに食刻速度が異なる物質を使用することを特徴とする半導体素子のキャパシタ製造方法。

【請求項11】 請求項9記載の半導体素子のキャパシタ製造方法において、前記第1絶縁膜と第3絶縁膜は同一の物質を使用し、

前記第1絶縁膜と第2絶縁膜は互いに食刻速度が異なる物質を使用することを特徴とする半導体素子のキャパシタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子のキャパシタ製造方法に関する。

【0002】

【従来の技術】半導体メモリセルのキャパシタを製造する方法は数多くあるが、その中で本発明と最も近い1つの方法の例を挙げれば、図4に図示するようなキャパシタ製造方法である。

【0003】この方法は、まず、不純物拡散領域102を形成した半導体基板101上に、酸化膜103と窒化膜104を順次に蒸着する。次に、コンタクト部分の窒化膜104を食刻除去する。次に、残存窒化膜104をマスクとして酸化膜103を食刻して、不純物拡散領域102に到達するコンタクトホールを形成する。

【0004】次に、コンタクトホール部分と窒化膜104上に、電極として使用するポリシリコンを蒸着した後、該ポリシリコン上に酸化膜を蒸着し、この酸化膜を写真食刻工程によってパターニングした後、該酸化膜パターンをマスクとしてポリシリコンをパターニングすることにより、シリンダ型貯蔵電極109の底部部分とコンタクト部分109-1を作る。その後、全面にポリシリコンを形成した後、エッチバックして、シリンダ型貯蔵電極109のシリンダ部分109-2を形成する。

【0005】次いで、前記酸化膜パターンを除去した後、貯蔵電極109の表面に誘電体膜110を形成し、さらにポリシリコンを蒸着してプレート電極111を形成することによってキャパシタを完成させる。

【0006】

【発明が解決しようとする課題】しかるに、このような従来の製造方法では、容量を増大させるために貯蔵電極109のシリンダ部分109-2を高く形成すると、このシリンダ部分109-2によって表面に大きな段差が

発生する問題点があり、さらにシリンダ部分109-2の先端部分が先鋭に形成されるので、漏洩電流が増加し、素子の信頼性が低下する問題点がある。さらに、キャパシタ面積がより縮小化されると、十分な容量が得られない問題点がある。

【0007】

【課題を解決するための手段】本発明は上述の課題を解決するために、次のような半導体素子のキャパシタ製造方法とする。まず、基板上に第1絶縁膜と第2絶縁膜を順次に形成する。次に、コンタクト領域の前記第2絶縁膜を選択的に除去する。次に、前記第2絶縁膜の除去部と前記第2絶縁膜上に第3絶縁膜を形成する。次に、前記コンタクト領域を含むキャパシタ領域の前記第3絶縁膜を除去する。次に、前記第3絶縁膜の除去部内の露出した前記第2絶縁膜をマスクとして前記コンタクト領域の前記第1絶縁膜を除去し、コンタクトホールを形成する。次に、前記第2、第3絶縁膜の除去部の内壁と前記コンタクトホールの内壁さらには第3絶縁膜の表面に導電層を形成する。次に、キャパシタ領域の前記導電層上に臨時層を形成する。次に、前記臨時層をマスクとして使用して、前記第3絶縁膜表面から前記導電層を除去し、残存導電層でキャパシタの貯蔵電極を形成する。次に、前記臨時層および残存第3絶縁膜を除去した後、露出した前記貯蔵電極の表面にキャパシタ誘電体膜を形成する。次に、前記誘電体膜上にキャパシタのプレート電極を形成する。第1絶縁膜と第3絶縁膜は、同一の物質、または、食刻速度が類似な物質を使用し、第1絶縁膜と第2絶縁膜は互いに食刻速度が異なる物質を使用する。

【0008】

【発明の実施の形態】次に添付図面を参照して本発明による半導体素子のキャパシタ製造方法の実施の形態を詳細に説明する。図1および図2は本発明の実施の形態を工程順に示す断面図である。この方法では、まず図1(a)に示すように、キャパシタと接続される回路要素、すなわち不純物拡散領域202を形成した半導体基板201上に第1絶縁膜203と第2絶縁膜204を順次に蒸着する。この第1絶縁膜203と第2絶縁膜204は、食刻選択比が大きい物質を選択して使用する。例えば、第1絶縁膜203としては平坦化特性を有する酸化膜、具体的にはBPSG等を使用し、第2絶縁膜204としては窒化膜等を使用する。また、第1絶縁膜203と第2絶縁膜204の厚さは、食刻選択性とウェハ全体の段差を考慮して決定する。

【0009】次に、図1(b)に示すように、写真食刻工程を通じて、コンタクト領域の第2絶縁膜204を除去する。次いで、図1(c)のように、第2絶縁膜204の除去部と第2絶縁膜204上に第3絶縁膜205を蒸着する。この第3絶縁膜205の厚さは、表面段差およびキャパシタ容量を考慮して、要望する容量を確保する

ことができるように調節する。また、第3絶縁膜205は、第1絶縁膜203と食刻速度が類似した物質または同一の物質を使用する。このような絶縁膜としてCVD酸化膜等を利用することができる。以上から分かるように、本発明のキャパシタ製造方法では、2種または3種の絶縁膜を三重に使用し、三重の絶縁膜のうち中間層と残りの2層は食刻選択比が大きい絶縁膜を使用する。また、下層と上層の厚さは、食刻選択比を考えて調節する。

【0010】次に、第3絶縁膜205上にフォトレジストパターンを形成し、これをマスクとして写真食刻工程で第3絶縁膜205をエッチングすることにより、図2(a)に示すように、コンタクト領域を含むキャパシタ領域から第3絶縁膜205を除去し、隣接するキャパシタ領域間にのみ第3絶縁膜205を残す。続いて、連続して、第3絶縁膜205の除去部内に露出した第2絶縁膜204をマスクとして、コンタクト領域の第1絶縁膜203をエッチングし、不純物拡散領域202に到達するコンタクトホール206を第1絶縁膜203に形成する。

【0011】次いで、前記フォトレジストパターンを除去した後、図2(b)に示すように、全面、すなわち、第2、第3絶縁膜204、205の除去部内壁、コンタクトホール206の内壁および第3絶縁膜205の表面にリアクティブスパッタリングまたはLPCVD等を利用して、キャパシタの貯蔵電極を形成するための導電層207を形成する。この導電層207としては、Ti/TiN層とW層を順次に蒸着し、さらに表面積を増大させるため半球形のポリシリコン207aを表面に形成する。

【0012】次に、図2(b)に示すように、第2、第3絶縁膜204、205の除去部およびコンタクトホール206を埋めて全面に第3絶縁膜205の高さ以上の厚さにSOGやBPSG等で平坦化層212(臨時層と言ってもよい)を形成する。その後、平坦化層212をCMP(Chemical Mechanical Polishing: 機械科学的研磨)工程を利用して、第3絶縁膜205の表面まで削り出し、同時に導電層207を第3絶縁膜205の表面から除去する。これは、第2、第3絶縁膜204、205の除去部およびコンタクトホール206の平坦化層212をマスクとして、第3絶縁膜205の表面から導電層207を除去すると換言できる。この結果、導電層207は、第2、第3絶縁膜204、205の除去部およびコンタクトホール206に図2(c)に示すように段付き2重シリンダ構造に残り、キャパシタの貯蔵電極208が形成される。なお、CMP工程は、平坦化層212と導電層207を除去することができるスラリーを使用する。

【0013】次は、湿式食刻を利用して、残っている平坦化層212と第3絶縁膜205を完全に除去し、キャ

パシタの貯蔵電極208を露出させる。次いで、貯蔵電極208の露出表面に図2(c)に示すようにキャパシタ誘電体膜210を形成する。この誘電体膜210としては、TaやBSTO等をLPCVD、PECVD、ECR-PECVDまたはMOCVDのような方法で蒸着する。さらに、これらの膜は、容量を考えて要望する厚さで調節して蒸着した後、薄膜の安定化のために適当な熱処理を行う。最後に、図2(c)に示すように、誘電体膜210を覆って導電物質のポリシリコンやTiN等を蒸着して、キャパシタのプレート電極211を形成する。

【0014】このような製造方法によれば、貯蔵電極208は、コンタクトホール206内でもシリンダ状となるので、面積と表面段差が従来と同一の場合、従来よりキャパシタ容量を大きくすることができる。また、容量の増加を減らせば、その分、第2絶縁膜204上に突出するシリンダ部分の高さを低くすることができるから、表面段差を軽減できる。また、第3絶縁膜205の表面から導電層207の不要部分を除去して貯蔵電極208を形成するようにしたので、シリンダ部分の先端は先鋭にならず、漏洩電流の少ない信頼性の高いキャパシタを得ることができる。さらに、平坦化層形成、CMP工程、湿式食刻による残存膜除去工程により、隣接素子間のアイソレーションも確実なものとしてすることができる。また、キャパシタ領域の第3絶縁膜205を除去する工程と、第1絶縁膜203にコンタクトホール206を開ける工程が連続的になり、工程が途切れることがないので、工程を簡素化することができる。さらに、フォトレジストパターンをマスクにしてキャパシタ領域の第3絶縁膜205を高寸法精度に除去できるので、キャパシタの面積、キャパシタ容量を正確にすることができる利点がある。

【0015】図3は、本発明の他の実施の形態を説明するための断面図である。この方法では、ゲート320とソース/ドレン領域321等を形成して、トランジスタを半導体基板301に形成した後、この半導体基板301上に第1絶縁膜303をデポジションし、次に第2絶縁膜304を形成する前に、第1絶縁膜303上に前記一方のソース/ドレン領域321に接続してビットライン309を形成する。

【0016】ビットライン309を形成した後は、上記実施の形態の方法をそのまま適用して、まず第2絶縁膜304を形成し、コンタクト領域の第2絶縁膜304を除去し、その除去部と第2絶縁膜304上に第3絶縁膜を蒸着する。そして、キャパシタ領域の第3絶縁膜を除去し、隣接するキャパシタ領域間にのみ第3絶縁膜を残し、さらにコンタクト領域の第1絶縁膜303を除去してコンタクトホールを形成した後、第2、第3絶縁膜の除去部内壁、コンタクトホール内壁および第3絶縁膜の表面に導電層としてTi/TiN層とW層を順次に蒸

着する。その後、第2、第3絶縁膜の除去部およびコンタクトホールを埋めて全面に第3絶縁膜の高さ以上の厚さにSOGやBPSG等で平坦化層し、次に平坦化層をCMP工程を利用して第3絶縁膜の表面まで削り出し、同時に導電層を第3絶縁膜の表面から除去して、第2、第3絶縁膜の除去部内壁およびコンタクトホールの内壁にキャパシタの貯蔵電極308を形成する。

【0017】その後、湿式食刻を利用して、残っている平坦化層と第3絶縁膜を完全に除去し、キャパシタの貯蔵電極308を露出させる。次いで、貯蔵電極308の露出表面にキャパシタ誘電体膜310を形成し、さらに、誘電体膜310を覆ってキャパシタのプレート電極311を形成する。

【0018】このような他の実施の形態でも、要部は図1および図2で説明した実施の形態と同様であるから、図1および図2の実施の形態と同様の効果を得ることができる。

【0019】

【発明の効果】このように本発明の半導体素子のキャパシタ製造方法によれば、貯蔵電極は、コンタクトホール内でもシリンダ状となるので、面積と表面段差が従来と同一の場合、従来よりキャパシタ容量を大きくすることができる。また、容量の増加を減らせば、その分、第2絶縁膜上に突出するシリンダ部分の高さを低くすることができるから、表面段差を軽減できる。また、第3絶縁膜の表面から導電層の不要部分を除去して貯蔵電極を形成するようにしたので、シリンダ部分の先端は先鋭にならず、漏洩電流の少ない信頼性の高いキャパシタを得ることができる。さらに、平坦化層形成、CMP工程、湿式食刻による残存膜除去工程により、隣接素子間のアイソレーションも確実なものとすることができる。

【0020】なお、本発明に類似する技術として特開平4-755号公報に記載された技術があるが、この技術では、本発明の第3絶縁膜に相当する酸化膜のキャパシタ領域部分を除去する工程と、本発明の第1絶縁膜に相当する層間絶縁膜にコンタクトホールを開ける工程が連続的にならず、間にフォトリソグラフィ工程が入ってし

まうが、半発明によれば、キャパシタ領域の第3絶縁膜を除去する工程と、第1絶縁膜にコンタクトホールを開ける工程が連続的になり、工程が途切れることがないので、工程を簡素化することができる。

【0021】また、他の類似技術として特開平7-78946号公報に記載された技術があるが、この技術では、サイドエッチングを利用してフォトレジストの開口より大きく酸化膜に除去部を形成しているため、この除去部の寸法精度に問題があり、キャパシタの面積、キャパシタの容量にバラツキが生じる恐れがあるが、本発明によれば、キャパシタ領域の第3絶縁膜を高寸法精度に除去でき、キャパシタの面積、キャパシタ容量を正確にすることができる利点がある。

【図面の簡単な説明】

【図1】本発明の半導体素子のキャパシタ製造方法の実施の形態を示す断面図。

【図2】同実施の形態を示し、図1に続く工程を示す断面図。

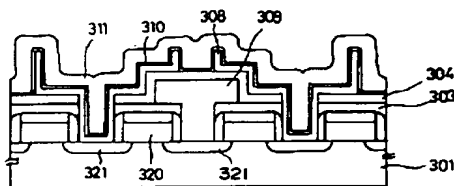
【図3】本発明の半導体素子のキャパシタ製造方法の他の実施の形態を説明するための断面図。

【図4】従来の半導体素子のキャパシタ製造方法を説明するための断面図。

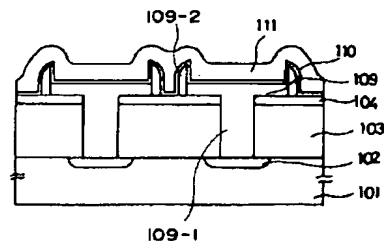
【符号の説明】

- 201, 301 半導体基板
- 202 不純物拡散領域
- 203, 303 第1絶縁膜
- 204, 304 第2絶縁膜
- 205 第3絶縁膜
- 206 コンタクトホール
- 207 導電層
- 207a ボリシリコン
- 208, 308 貯蔵電極
- 210, 310 誘電体膜
- 211, 311 プレート電極
- 212 平坦化層
- 309 ビットライン
- 321 ソース/ドレイン領域

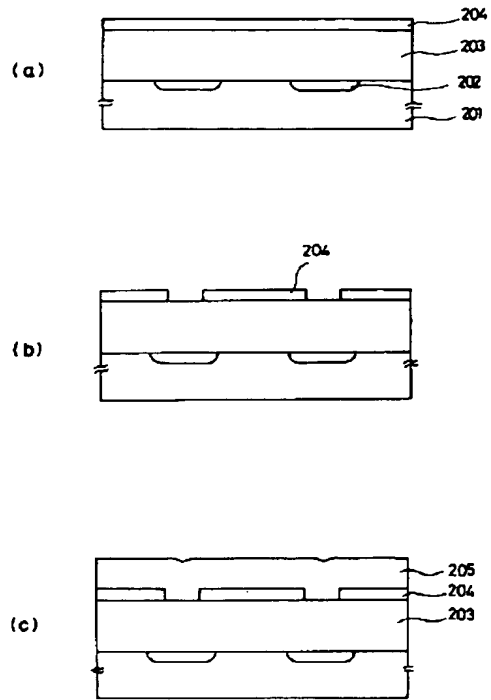
【図3】



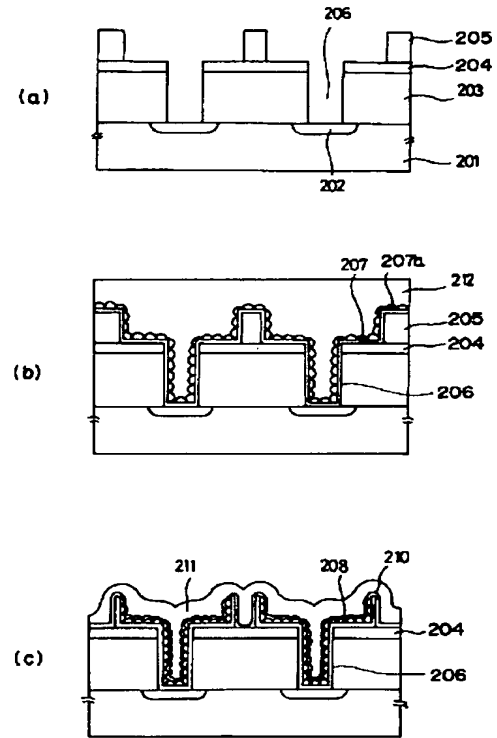
【図4】



【図1】



【図2】



フロントページの続き

(51)Int. Cl.<sup>6</sup>  
H01L 21/822

識別記号 序内整理番号

F I

技術表示箇所